

OPERATIONAL AMPLIFIER CIRCUIT

Patent Number: JP8307224
Publication date: 1996-11-22
Inventor(s): NORO MASAO
Applicant(s): YAMAHA CORP
Requested Patent: ☐ JP8307224
Application Number: JP19950134827 19950508
Priority Number(s):
IPC Classification: H03K17/16; H03F3/30; H03F3/34; H03F3/42; H03F3/45; H03K17/687; H03K19/0948
EC Classification:
Equivalents: JP2877033B2

Abstract

PURPOSE: To provide an operational amplifier circuit in which an output stage is in push-pull operation and a stability function of an output stage current is provided.

CONSTITUTION: A 1st differential amplifier circuit 1 having n-channel differential MOS TR pairs Q1, Q3 and a 2nd differential amplifier circuit 2 having p-channel differential MOS TR pairs Q2, Q4 are provided to an input stage. A complementary output circuit 5 is configured by a p-channel MOS TR Q15 and an n-channel MOS TR Q16 whose gates are controlled by an output of the circuits 1, 2. A current of the output stage MOS TRs Q15, Q16 is detected respectively by 1st and 2nd current detection circuits 6, 7. A reference current source circuit 8 providing a common reference current to current mirror circuits 3, 4 providing an active load current of the differential amplifier circuits 1, 2 is controlled by the detected current to apply negative feedback to suppress fluctuation in a through-current of the complementary output circuit 5.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-307224

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/16		9184-5K	H 0 3 K 17/16	L
H 0 3 F 3/30			H 0 3 F 3/30	
3/34			3/34	Z
3/42			3/42	
3/45			3/45	Z

審査請求 未請求 請求項の数 2 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平7-134827

(22) 出願日 平成7年(1995)5月8日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 野呂 正夫

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

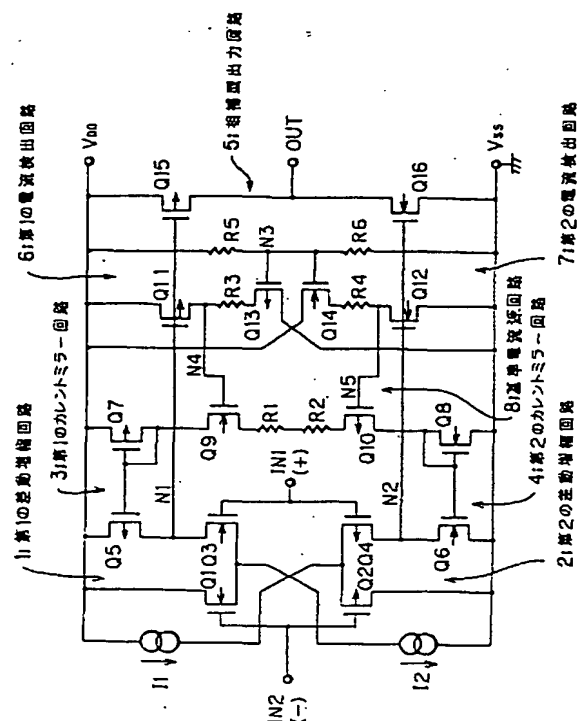
(74) 代理人 弁理士 伊丹 勝

(54) 【発明の名称】 演算増幅回路

(57) 【要約】

【目的】 出力段をプッシュプル動作させ、且つ出力段電流の安定化機能を持たせた演算増幅回路を提供する。

【構成】 入力段にnチャネルの差動MOSトランジスタ対Q1, Q3を有する第1の差動増幅回路1と、pチャネルの差動MOSトランジスタ対Q2, Q4を有する第2の差動増幅回路2が併設される。これらの出力によりゲートが制御されるpチャネルMOSトランジスタQ15とnチャネルMOSトランジスタQ16により相補型出力回路5が構成される。第1, 第2の電流検出回路6, 7によりそれぞれ出力段MOSトランジスタQ15, Q16の電流検出がなされる。これらの検出電流により、差動増幅回路1, 2の能動負荷電流を与えるカレントミラー回路3, 4の共通の基準電流となる基準電流源回路8が制御されて、相補型出力回路5の貫通電流の変動を抑制する負帰還がかかるようにしている。



【特許請求の範囲】

【請求項1】 nチャネルの差動MOSトランジスタ対とpチャネルの第1のカレントミラー回路による能動負荷を有する第1の入力段差動増幅回路と、

pチャネルの差動MOSトランジスタ対とnチャネルの第2のカレントミラー回路による能動負荷を有する、前記第1の入力段差動増幅回路と並列接続された第2の入力段差動増幅回路と、

前記第1の入力段差動増幅回路の出力によりゲートが制御され、ドレインが信号出力端に接続されたpチャネルの出力段MOSトランジスタ及び前記第2の入力段差動増幅回路の出力によりゲートが制御され、ドレインが前記信号出力端に接続されたnチャネルの出力段MOSトランジスタを有する相補型出力回路と、

前記pチャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられるpチャネルの電流検出用MOSトランジスタを用いて前記pチャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第1の電流検出回路と、

前記nチャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられるnチャネルの電流検出用MOSトランジスタを用いて前記nチャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第2の電流検出回路と、

前記第1、第2の電流検出回路の出力によりそれぞれ制御される電流源MOSトランジスタを有し、前記第1、第2のカレントミラー回路の共通基準電流として前記第1、第2の電流検出回路による検出電流の和に比例する基準電流を得る基準電流源回路とを有することを特徴とする演算増幅回路。

【請求項2】 前記第1の電流検出回路は、前記pチャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記pチャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ （但し、 $N > 1$ ）に設定されて、前記pチャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得るものであり、

前記第2の電流検出回路は、前記nチャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記nチャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ に設定されて、前記nチャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得るものであることを特徴とする請求項1記載の演算増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、pチャネルの出力段MOSトランジスタとnチャネルの出力段MOSトランジスタによるプッシュプル動作を行う相補型出力回路を持つ演算増幅回路に関する。

【0002】

【従来の技術】CMOSプロセスによる演算増幅回路は、多くの場合、図3に示すように、入力段にはCMOS差動回路が用いられ、出力段は定電流負荷を持つシングルエンド型とされる。この種の演算増幅回路は、出力端につながる負荷が低インピーダンス負荷である場合、ドライブ能力に問題がある。定電流負荷により供給電流が制限されるからである。低インピーダンス負荷に対する十分なドライブ能力を持たせるためには、定電流負荷のインピーダンスを十分小さくして大電流を供給できるようにする必要があり、それに伴って出力段MOSトランジスタも電流容量の十分大きいものとする必要がある。

【0003】これに対して、低インピーダンス負荷のドライブに有利な演算増幅回路として、図3の演算増幅回路構成とはpチャネル、nチャネルを逆にした回路を用意して、図4に示すように電源VDD側と接地VSS側に配置して相補型回路とすることが考えられる。このような回路とすれば、出力段のpチャネルMOSトランジスタとnチャネルMOSトランジスタのプッシュプル動作による負荷ドライブが可能になる。

【0004】

【発明が解決しようとする課題】しかし、図4に示すように単に二つのシングルエンド型演算増幅回路を組み合わせただけの相補型回路では、出力段のpチャネルMOSトランジスタとnチャネルMOSトランジスタの電流を安定化する機能を持たない。なぜなら、pチャネルMOSトランジスタとnチャネルMOSトランジスタが同時にオンして貫通電流が流れるバイアス条件の下で、貫通電流が増大しても出力電位は変わらず、貫通電流の増大を抑制するフィードバック機能がないからである。従って、貫通電流が増大して破壊に至るといった問題が生じる。逆に、出力段MOSトランジスタの電流が同時に減少した場合には、出力段がカットオフしてしまう。

【0005】この発明は、上記事情を考慮してなされたもので、出力段をプッシュプル動作させ、且つ出力段電流の安定化機能を持たせた演算増幅回路を提供することを目的としている。

【0006】

【課題を解決するための手段】この発明に係る演算増幅回路は、nチャネルの差動MOSトランジスタ対とpチャネルの第1のカレントミラー回路による能動負荷を有する第1の入力段差動増幅回路と、pチャネルの差動MOSトランジスタ対とnチャネルの第2のカレントミラー回路による能動負荷を有する、前記第1の入力段差動増幅回路と並列接続された第2の入力段差動増幅回路と、前記第1の入力段差動増幅回路の出力によりゲートが制御され、ドレインが信号出力端に接続されたpチャネルの出力段MOSトランジスタ及び前記第2の入力段差動増幅回路の出力によりゲートが制御され、ドレイン

が前記信号出力端に接続されたnチャネルの出力段MOSトランジスタを有する相補型出力回路と、前記pチャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられるpチャネルの電流検出用MOSトランジスタを用いて前記pチャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第1の電流検出回路と、前記nチャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられるnチャネルの電流検出用MOSトランジスタを用いて前記nチャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第2の電流検出回路と、前記第1、第2の電流検出回路の出力によりそれぞれ制御される電流源MOSトランジスタを有し、前記第1、第2のカレントミラー回路の共通基準電流として前記第1、第2の電流検出回路による検出電流の和に比例する基準電流を得る基準電流源回路とを有することを特徴としている。

【0007】この発明において好ましくは、前記第1の電流検出回路は、前記pチャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記pチャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ （但し、 $N>1$ ）に設定されて、前記pチャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得るものであり、前記第2の電流検出回路は、前記nチャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記nチャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ に設定されて、前記nチャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得るものであることを特徴としている。

【0008】

【作用】この発明による演算増幅回路は、第1、第2の入力段差動増幅回路により信号入力段を相補型回路にすると同時に、出力段もpチャネル出力段MOSトランジスタとnチャネル出力段MOSトランジスタによる相補型回路としている。また第1、第2の入力段差動増幅回路には、それぞれ第1、第2のカレントミラー回路による能動負荷を設ける。そして、出力段の電流安定化を図るために、出力段のpチャネルMOSトランジスタとnチャネルMOSトランジスタの電流を検出する第1、第2の電流検出回路を設け、それらの検出電流の和に比例する基準電流が得られるような基準電流源回路を、第1、第2のカレントミラー回路の共通基準電流源回路として構成する。

【0009】これにより、この発明の演算増幅回路では、出力段の貫通電流が変動しようとする、第1、第2のカレントミラー回路の共通基準電流が制御され、例えば貫通電流が増大する方向であれば、第1、第2の入力段差動増幅回路ではそれぞれの能動負荷がより深くオンする方向に基準電流が作用し、これにより出力段pチャネルMOSトランジスタ及びnチャネルMOSトラン

ジスタ共にオフする方向にゲートがバイアスされる。即ち、出力段貫通電流の増大を抑制するフィードバックが係り、出力電流が安定化されて、暴走等による破壊が確実に防止される。出力電流の差分に対しては、上述の電流検出と基準電流制御による負のフィードバックはかからないから、演算増幅回路としての増幅率には影響はない。

【0010】

【実施例】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係る演算増幅回路である。入力段には、共通ソースに定電流源I2が設けられ、それぞれのゲートが反転入力端子IN2、非反転入力端子IN1となるnチャネルの差動MOSトランジスタ対Q1、Q3を用いた第1の差動増幅回路1と、同様に共通ソースに定電流源I1が設けられ、それぞれのゲートが反転入力端子IN2、非反転入力端子IN1となるpチャネルの差動MOSトランジスタ対Q2、Q4を用いた第2の差動増幅回路2とが並列接続されて配置されている。

【0011】第1の差動増幅回路1の出力端N1となるMOSトランジスタQ3のドレイン側には、pチャネルMOSトランジスタQ7、Q5により構成された第1のカレントミラー回路3のMOSトランジスタQ5が能動負荷として挿入されている。同様に、第2の差動増幅回路2の出力端N2となるMOSトランジスタQ4のドレイン側には、nチャネルMOSトランジスタQ8、Q6により構成された第2のカレントミラー回路4のMOSトランジスタQ6が能動負荷として挿入されている。

【0012】第1の差動増幅回路1の出力端N1によりゲートが制御されるpチャネルの出力段MOSトランジスタQ15と、第2の差動増幅回路2の出力端N2によりゲートが制御されるnチャネルの出力段MOSトランジスタQ16とがそれぞれ電源VDD側、接地VSS側に配置され、ドレインを共通に信号出力端OUTに接続して相補型出力回路5が構成されている。

【0013】第1、第2のカレントミラー回路3、4には共通の基準電流源回路8が設けられている。この基準電流源回路8は、pチャネルの出力段MOSトランジスタQ15の電流量に応じて導通度が制御される、第1のカレントミラー回路3側のnチャネルMOSトランジスタQ9と、nチャネルの出力段MOSトランジスタQ16の電流量に応じて導通度が制御される、第2のカレントミラー回路4側のpチャネルMOSトランジスタQ10と、これらに直列に挿入された抵抗R1、R2とから構成されている。

【0014】相補型出力回路5の出力段MOSトランジスタQ15、Q16のそれぞれの電流検出を行うために、第1、第2の電流検出回路6、7が設けられている。第1の電流検出回路6は、出力段MOSトランジスタQ15と共通にゲートが駆動され、ソースが電源VDD

に接続されて、MOSトランジスタQ15と同じゲート・ソース間バイアスが与えられるpチャネルの電流検出用MOSトランジスタQ11を持つ。同様に第2の電流検出回路7は、出力段MOSトランジスタQ16と同じゲート・ソース間バイアスが与えられるnチャネルの電流検出用MOSトランジスタQ12を有する。

【0015】電流検出用MOSトランジスタQ11のチャネル幅W11とチャネル長L11の比は、出力段MOSトランジスタQ15のチャネル幅W15とチャネル長L15の比に対して、下記数1を満たすように、素子寸法が設定される。但し、Nは1より大きい数とする。

【0016】

$$【数1】 W11/L11 = (W15/L15) / N$$

【0017】同様に、電流検出用MOSトランジスタQ12のチャネル幅W12とチャネル長L12の比は、出力段MOSトランジスタQ16のチャネル幅W16とチャネル長L16の比に対して、下記数2を満たすように、素子寸法が設定される。

【0018】

$$【数2】 W12/L12 = (W16/L16) / N$$

【0019】一方の電流検出用MOSトランジスタQ11のドレインは、負荷となる抵抗R3を介し、pチャネルMOSトランジスタQ13を介して接地VSSに接続される。他方の電流検出用MOSトランジスタQ12のドレインも同様に、抵抗R4を介し、nチャネルMOSトランジスタQ14を介して電源VDDに接続される。これらのMOSトランジスタQ13、Q14のゲートは、電源VDD—接地VSS間を分圧する抵抗R5、R6による中間電位点N3の電位により制御される。

【0020】以上の抵抗R3とMOSトランジスタQ13の部分、及び抵抗R4とMOSトランジスタQ14の部分、それぞれ電流検出用MOSトランジスタQ11、Q12による検出電流を電圧値に変換する電流電圧変換回路となっていて、それぞれの出力ノードN4、N5がカレントミラー回路3、4の共通基準電流源回路8におけるMOSトランジスタQ9、Q10のゲートに接続される。

【0021】この様に構成された演算増幅回路の出力電流安定化の動作を次に説明する。相補型出力回路5のpチャネルMOSトランジスタQ15とnチャネルMOSトランジスタQ16のコレクタ電流は、それぞれ第1、第2の電流検出回路6、7により検出される。電流検出用MOSトランジスタQ11、Q12のチャネル幅とチャネル長の比がそれぞれ出力段MOSトランジスタQ15、Q16のそれに対して、前述のように、 $1/N$ に設定されているから、出力段MOSトランジスタQ15、Q16のコレクタ電流の $1/N$ の検出電流で電流検出が行われる。

【0022】基準電流源回路8による基準電流は、これらの第1、第2の電流検出回路6、7による検出電流の

和に比例するように可変制御され、これが第1、第2のカレントミラー回路3、4により、それぞれ第1、第2の差動増幅回路1、2の能動負荷電流として与えられる。従って、例えば相補型出力回路4での貫通電流が増大すると、これに対応して、第1、第2の差動増幅回路1、2では能動負荷MOSトランジスタQ5、Q6の電流が増大する方向、即ち、一方の出力端N1は電位が上昇し、他方の出力端N2は電位低下する方向に働く。これにより、出力段MOSトランジスタQ15、Q16は共に、オフする方向にゲートがバイアスされて、貫通電流を減らす方向の負帰還がかかることになる。

【0023】以上の負帰還動作をより具体的に説明する。説明を簡単にするため、次の仮定をおく。先ず $R5 = R6$ とし、ノードN3には $VDD/2$ が得られるものとする。また、 $R1 = R2 = R3 = R4$ とし、pチャネルMOSトランジスタQ10とQ13とは同サイズ、nチャネルMOSトランジスタQ9とQ14は同サイズとする。第1、第2の差動増幅回路1、2の定電流源I2、I1は、 $I1 = I2$ とする。

【0024】第1、第2の電流検出回路6、7と基準電流源回路8の要部の電圧電流の関係を示すと、図2のようになる。第1、第2の電流検出回路6、7による検出電流が、図示のようにI11、I12としたとき、これらの電流により、抵抗R3の両端に電圧VR3、MOSトランジスタQ13のゲート・ソース間に電圧VT13、同様に抵抗R4の両端に電圧VR4、MOSトランジスタQ14のゲート・ソース間に電圧VT14が発生する。

【0025】従って、基準電流源回路8のMOSトランジスタQ9とQ10のゲート間には、下記数3の電圧がかかる。

【0026】

$$【数3】 VR3 + VT13 + VT14 + VR4$$

【0027】また、基準電流源回路8のMOSトランジスタQ9のゲート・ソース間電圧をVT9、MOSトランジスタQ10のゲート・ソース間電圧をVT10、抵抗R1、R2の両端電圧をそれぞれ、VR1、VR2とすると、数3との関係で次の数4が得られる。

【0028】

$$【数4】 VT9 + VR1 + VR2 + VT10 = VR3 + VT13 + VT14 + VR4$$

【0029】先に説明した素子寸法の関係から、 $VT13 = VT10$ 、 $VT14 = VT9$ であるから、数4は、次の数5に書き換えられる。

【0030】

$$【数5】 VR1 + VR2 = VR3 + VR4$$

【0031】また、基準電流源回路8のMOSトランジスタQ9、Q10の電流をI9、I10とすると、数5から、下記数6の関係が得られる。

【0032】

$$【数6】$$

$$R1 \cdot I9 + R2 \cdot I10 = R3 \cdot I11 + R4 \cdot I12$$

【0033】ところで、電流 $I9$ 、 $I10$ は他に分岐路がないから、 $I9 = I10$ であり、また前述のように $R1 = R2 = R3 = R4$ とすると、数6から次の数7が得られる。

【0034】

$$\text{【数7】 } I9 = I10 = (I11 + I12) / 2$$

【0035】以上により、第1、第2のカレントミラー回路3、4の共通の基準電流 $I9 = I10$ は、第1、第2の電流検出回路6、7による検出電流 $I11$ 、 $I12$ の和に比例した値になる。検出電流 $I11$ 、 $I12$ はそれぞれ、出力段MOSトランジスタ $Q15$ 、 $Q16$ のコレクタ電流に比例したものであるから、言い換えれば、共通の基準電流 $I9 = I10$ は、出力段の貫通電流に比例したものである。

【0036】この様にして相補型出力回路5の貫通電流に応じて制御される基準電流が第1、第2の差動増幅回路1、2の能動負荷電流として与えられるから、貫通電流が増大した場合には、第1、第2の差動増幅回路1、2のMOSトランジスタ $Q5$ 、 $Q6$ が共に深くオンする方向に働き、相補型出力回路5の貫通電流を抑えるように負のフィードバックがかかる。第1、第2の差動増幅回路1、2はそれぞれ定電流源 $I2$ 、 $I1$ により一定電流が流れるように設定されているから、結局これらに一定の能動負荷電流が流れるように、相補型出力回路5の貫通電流が制御されることになる。

【0037】例えば、この演算増幅回路の出力電位が電源 VDD のほぼ中間電位にあるとすると、検出電流は $I11 = I12$ である。また、第1、第2の差動増幅回路1、2の能動負荷トランジスタ $Q5$ 、 $Q6$ の電流 $IQ5$ 、 $IQ6$ はそれぞれ、カレントミラー回路3、4により、 $IQ5 = I9$ 、 $IQ6 = I10$ であり、且つ $I9 = I10$ であるから、差動トランジスタ対のそれぞれ一方のトランジスタ $Q3$ 、 $Q4$ の電流 $IQ3$ 、 $IQ4$ は、下記数8となる。

【0038】

$$\text{【数8】 } IQ3 = I11 = I12 = IQ4$$

【0039】即ち、検出電流 $I11$ 、 $I12$ が初段の差動増

幅回路1、2の電流 $IQ3$ 、 $IQ4$ と等しい状態、言い換えれば、出力段MOSトランジスタ $Q15$ 、 $Q16$ の電流はこれらの N 倍の値で安定化されていることになる。

【0040】以上の説明から容易に明らかなように、第1、第2の電流検出回路6、7及び基準電圧源回路8は、相補型出力回路5のMOSトランジスタ $Q15$ 、 $Q16$ の電流の差成分に関しては不帰還作用を有しないから、差動入力信号に対する増幅率に影響はない。例えば、一方の入力端 $IN1$ の電位が他方の入力端 $IN2$ に対して上昇すると、第1の差動増幅回路1では出力端 $N1$ が電位低下して出力段MOSトランジスタ $Q15$ をオンにする方向に作用し、第2の差動増幅回路2では出力端 $N2$ が電位低下して出力MOSトランジスタ $Q16$ をオフにする方向に作用する結果、信号出力端 OUT の電位が上昇するという、出力段プッシュプル動作の差動増幅が行われる。

【0041】

【発明の効果】以上述べたようにこの発明によれば、出力段を相補型回路として、出力段の電流検出を行い、初段の差動増幅回路に出力段の貫通電流の変動を抑制するような帰還を行うことにより、プッシュプル動作の演算増幅回路について出力段電流の安定化機能を持たせることができる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る演算増幅回路を示す。

【図2】 同実施例の電流制御の動作を説明する為の図である。

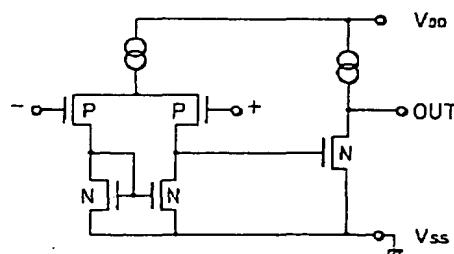
【図3】 従来の演算増幅回路を示す。

【図4】 図3の回路を併設した演算増幅回路を示す。

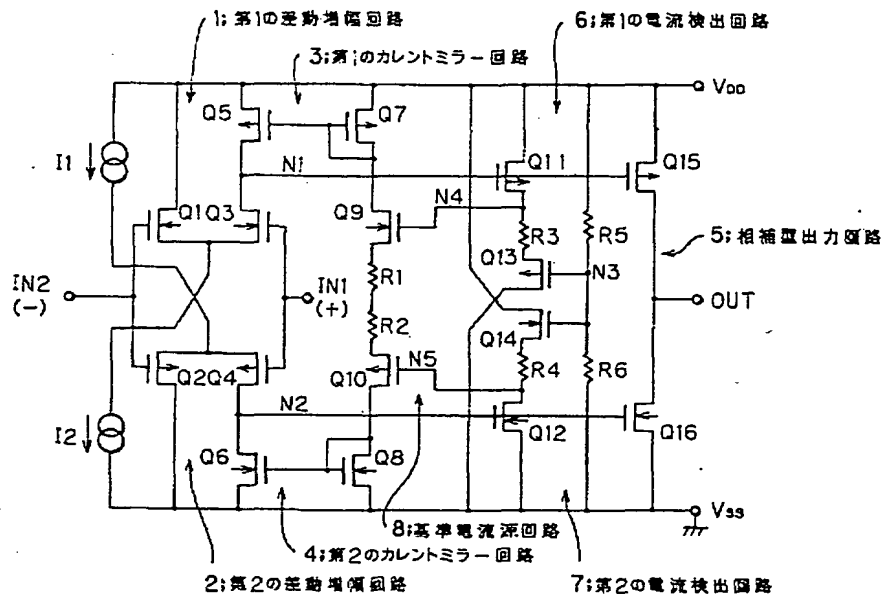
【符号の説明】

1…第1の入力段差動増幅回路、2…第1の入力段差動増幅回路、3…第1のカレントミラー回路、4…第2のカレントミラー回路、5…相補型出力回路、6…第1の電流検出回路、7…第2の電流検出回路、8…基準電流源回路。

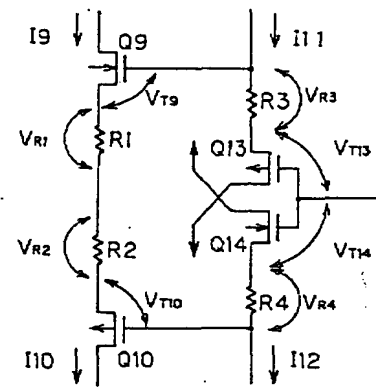
【図3】



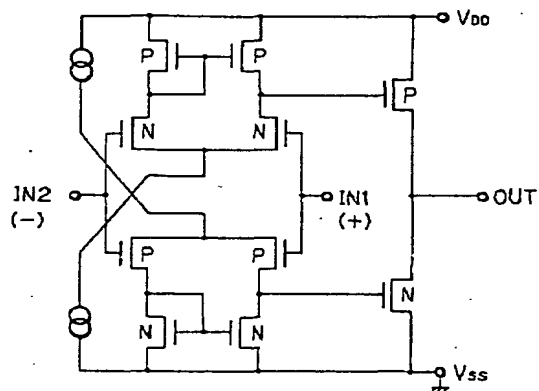
【図1】



【図2】



【図4】



フロントページの続き

(51)Int.Cl.⁶H03K 17/687
19/0948

識別記号

庁内整理番号

9184-5K

FI

H03K 17/687
19/094

技術表示箇所

F
B